

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-312327

(43)Date of publication of application : 07.11.2000

(51)Int.Cl.

H04N 5/907

H04N 5/228

(21)Application number : 11-120920

(71)Applicant : OLYMPUS OPTICAL CO LTD

(22)Date of filing : 28.04.1999

(72)Inventor : UENO AKIRA  
NAKAZONO KEISUKE

## (54) IMAGE PROCESSOR

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an image processor that reduces a data transfer quantity and can execute a plurality of ways of image processing without the need for increasing a capacity of its memory.

**SOLUTION:** In the image processor where an image processing section applied spiral image processing to image data recording in a frame memory and provides an output, the input sequence of the image data to the image processing section is controlled by a CPU in such a way that a prescribed number of columnar direction data resulting from adding peripheral data required for processing of an upper left end of an image to processing output data are used for a basic unit 11, an input of data processing where a position of the basic unit is moved sequentially in the row direction unit is reached a right end of the image is referred to as a 1st row direction input 21, the position of the basis unit is set so that the peripheral data required for the processing applied to output data is in duplicate with the basic unit in the 1st columnar direction input, the position of the basic unit is sequentially moved in the columnar direction and data are entered until the position reaches the right end of the image in a 2nd columnar direction input 22, and similarly the data are entered after 3rd and succeeding columnar direction inputs.



BEST AVAILABLE COPY

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-312327

(P2000-312327A)

(43) 公開日 平成12年11月7日 (2000.11.7)

(51) IntCl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
H 0 4 N 5/907		H 0 4 N 5/907	B 5 C 0 2 2
5/228		5/228	Z 5 C 0 5 2

審査請求 未請求 請求項の数15 O L (全 13 頁)

(21) 出願番号 特願平11-120920

(22) 出願日 平成11年4月28日 (1999.4.28)

(71) 出願人 000000376

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷2丁目43番2号

(72) 発明者 上野 晃

東京都渋谷区幡ヶ谷2丁目43番2号 オリ  
ンパス光学工業株式会社内

(72) 発明者 中園 啓介

東京都渋谷区幡ヶ谷2丁目43番2号 オリ  
ンパス光学工業株式会社内

(74) 代理人 100087273

弁理士 最上 健治

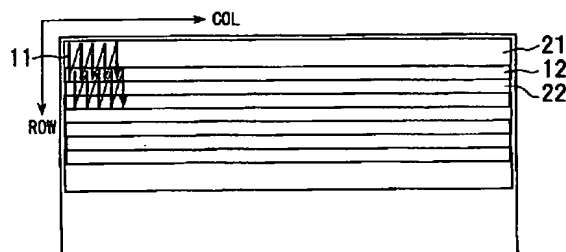
最終頁に続く

(54) 【発明の名称】 画像処理装置

(57) 【要約】

【課題】 データ転送量を低減すると共にメモリ容量を増やすことなく複数の画像処理を行えるようにした画像処理装置を提供する。

【解決手段】 フレームメモリに記録された画像データに対して画像処理部で空間的な画像処理を施して出力させる画像処理装置において、画像処理部への画像データ入力順を、画像の左上端の処理に必要な周辺データを処理出力データに加えた一定数の列方向データを基本単位11とし、該基本単位位置を順次行方向へ移動させて画像の右端位置に達するまでを第1の行方向入力21とし、第2の行方向入力22は、第1の行方向入力における基本単位に対して出力データに加えられる処理に必要な周辺データ分が重複するように基本単位位置を設定し、該基本単位位置を順次行方向へ移動させて画像の右端位置に達するまで入力を行い、以下同様にして第3の行方向入力以降の入力を行うように、CPUで制御するように構成する。



## 【特許請求の範囲】

【請求項1】 固体撮像素子から出力されフレームメモリに記録された画像データに対して複数の画像処理部で空間的な画像処理を施して出力させる画像処理装置において、前記複数の画像処理部の少なくとも一つは、当該画像処理部の後段の画像処理部における画像処理に必要な行数又は列数分のデータに少なくとも当該画像処理部における画像処理に必要な周辺データ分を加えた行数又は列数分のデータの1列分又は1行分のデータを基本単位として処理を行うように構成されていることを特徴とする画像処理装置。

【請求項2】 前記複数の各画像処理部間に、後段の画像処理部における処理に必要な行数+1行又は列数+1列の前記基本単位に対応するデータ容量をもつメモリを配置していることを特徴とする請求項1に係る画像処理装置。

【請求項3】 前記複数の各画像処理部間に、後段の画像処理部における処理に必要な列数-1列又は行数-1行の前記基本単位に対応するデータ容量をもちデータが順次シフトされるラインメモリと、1列又は1行の前記基本単位に対応するデータ容量のダブルバッファとを有するメモリ部を備えていることを特徴とする請求項1に係る画像処理装置。

【請求項4】 固体撮像素子から出力されフレームメモリに記録された画像データに対して一つ以上の画像処理部で空間的な画像処理を施して出力させる画像処理装置において、前記画像処理部は、列方向に1列に並んだ一定数分の画像データを入力とし、該画像データが入力されると同時に該画像処理部で処理された列方向に1列に並んだ一定数分の画像データを出力するように構成されていることを特徴とする画像処理装置。

【請求項5】 固体撮像素子から出力されフレームメモリに記録された画像データに対して一つ以上の画像処理部で空間的な画像処理を施して出力させる画像処理装置において、前記画像処理部への画像データ入力順を、画像の一方の上端隅部の処理に必要な周辺のデータを処理出力データに加えた一定数の列方向データ位置から入力を開始し、該一定数の列方向データ位置を順次行方向へ移動させて画像の他方の端部位置に達するまで第1の行方向入力をを行い、第2の行方向入力は、第1の行方向入前に前記一つ以上の空間的な画像処理を施して出力されるデータと、該第2の行方向入前に前記一つ以上の空間的な画像処理を施して出力されるデータとが隣接するように前記第1の行方向入力と一部重複させて一定数の列方向データ位置を設定し、該列方向データ位置を同様に順次行方向へ移動させて画像の他方の端部位置に達するまで入力をを行い、以下同様にして第3の行方向入力以降の入力を行うように制御するデータ入力制御手段を備えていることを特徴とする画像処理装置。

【請求項6】 前記フレームメモリと初段の画像処理部

との間に、バースト長分×列方向の一定数分の容量をもつ縦横変換メモリを備えていることを特徴とする請求項5に係る画像処理装置。

【請求項7】 複数の空間的な画像処理を行う画像処理部の一部をバイパスさせる手段と、該バイパス手段により一部の画像処理部をバイパスさせた際、バイパスされた画像処理部において処理に必要とされる該画像処理部の出力データに加えられる周辺データ分を、該バイパスされた画像処理部の前段の画像処理部における処理画像データの基本単位から減じるように基本単位を変更する手段とを備えていることを特徴とする請求項1に係る画像処理装置。

【請求項8】 前記画像処理部の処理パラメータを変更する手段と、該処理パラメータ変更手段による画像処理部の処理パラメータの変更に対応して、該画像処理部における処理に必要な周辺データを処理出力データに加えた一定数の列方向データからなる基本単位又は前記処理に必要な周辺データが変更されたとき、その変更分を処理パラメータの変更された画像処理部の前段の画像処理部における基本単位のデータから増減させる手段を備えていることを特徴とする請求項1に係る画像処理装置。

【請求項9】 前記画像処理部の最終段は、JPEG処理部であることを特徴とする請求項1、4、5のいずれか1項に係る画像処理装置。

【請求項10】 前記画像処理部の最終段の前段の画像処理部の出力は、 $8 \times 8$ の整数倍に設定されたブロック単位で出力されるように構成されていることを特徴とする請求項1、4、5のいずれか1項に係る画像処理装置。

【請求項11】 前記画像処理部の最終段の前段の画像処理部の出力は、 $8 \times 8$ の整数倍の異なるブロック単位で切り替え、これに伴い前記前段の画像処理部の基本単位も切り替えて出力されるように構成されていることを特徴とする請求項1、4、5のいずれか1項に係る画像処理装置。

【請求項12】 前記画像処理部の最終段とその前段の画像処理部との間に、 $8 \times 8$ 又は $16 \times 16$ のバッファメモリを備え、該バッファメモリは $8 \times 8$ 単位のラスタースキャン方式で読み出されるように構成されていることを特徴とする請求項9～11のいずれか1項に係る画像処理装置。

【請求項13】 前記空間画像処理部として、少なくともYC生成処理部、LPF処理部、拡大縮小処理部、JPEG処理部を備え、画像処理モードとして少なくとも等倍画像記録処理モード、拡大記録処理モード、縮小記録処理モード、非圧縮記録処理モード、圧縮記録画像再生処理モード、非圧縮記録画像再生処理モード、スルー処理モードを選択的に設定する手段と、該画像処理モード設定手段で設定された画像処理モードに応じて処理不要となる所定の画像処理部をバイパスさせる手段とを備えていることを特徴とする請求項1、4、5のいずれか1

項に係る画像処理装置。

【請求項14】 複数段の直列に接続された空間的画像処理部と、該空間的画像処理部の一部をバイパスさせるための信号経路切り替え手段と、前記空間的画像処理部を駆動するためのクロックを供給するクロック供給部と、前記信号経路切り替え手段によりバイパスさせられた空間的画像処理部へのクロック供給部からのクロック供給又は電源供給を停止する手段を備えていることを特徴とする携帯型画像処理装置。

【請求項15】 複数段の直列に接続された空間的画像処理部と、各空間的画像処理部の前段及び後段に設けられたダブルバッファからなるメモリと、空間的画像処理部の前段及び後段のメモリ中のデータの有無により当該空間的画像処理部の処理動作の実行/停止を制御する手段を備えていることを特徴とする画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、デジタルカメラ等の電子的撮像装置に用いられる画像処理装置に関する。

【0002】

【従来の技術】一般に、CCDなどの固体撮像素子を用いたデジタルカメラ等の電子的撮像装置における画像処理の手順としては、図18に示すように、まずCCD撮像素子101から出力された撮像信号はプリプロセス処理102がなされたのち、フレームメモリ103に一旦記憶される。次いで、フレームメモリ103から画像データを読み出し、複数のイメージプロセス処理104-1～104-nを順次行い、最後にJPEG処理105を行って、メモリカード106等の記録媒体に記録するという処理がなされている。

【0003】このような画像信号の処理手順を実現するためにあたって、従来は例えば図19に示すような画像処理装置を用いている。すなわち、従来の画像処理装置は、バス201にCPU202と共にプリプロセス回路203、複数のイメージプロセス回路204-1～204-n、JPEG処理部205及びフレームメモリ206がそれぞれ接続されて構成されている。そして、CPU202の制御により、CCD撮像素子からの撮像信号がプリプロセス回路203で処理されたのちバス201を通してフレームメモリ206に一旦記録される。次に、フレームメモリ206から画像データを読み出し、バス201を通してイメージプロセス回路204-1に入力して処理を行い、再びバス201を通してフレームメモリ206に書き直す。以下同様にして、バス201を介してフレームメモリ206とイメージプロセス回路204-2～204-nとの間でデータのやり取りを順次行って、最後にJPEG処理部205でJPEG処理を行い、処理データをフレームメモリ206又はメモリカードに記録するようになっている。

【0004】

【発明が解決しようとする課題】従来の画像処理装置

は、上記のように複数のイメージプロセス回路による画像処理はそれぞれバスを通してフレームメモリからデータを読み出しあるいは書き込みを行って実行されるようになっている。したがって、実時間処理を行う場合には、バスを通るデータ転送量が極めて多く、処理時間と共に消費電力が増大するという問題点がある。

【0005】本発明は、従来の画像処理装置における上記問題点を解消するためになされたもので、バスのデータ転送量を低減すると共にメモリ容量を増やすことなく複数の画像処理ができるようにした画像処理装置を提供することを目的とする。

【0006】請求項毎の目的を述べると、次のとおりである。すなわち、請求項1に係る発明は、データ転送量を低減し、小容量のメモリを介して複数の画像処理部を直結できるようにした画像処理装置を提供することを目的とする。請求項2及び3に係る発明は、小容量のメモリを用い且つ各画像処理部へのデータ転送時間を短縮できるようにした、パイプライン処理が実行可能な画像処理装置を提供することを目的とする。請求項4に係る発明は、複数の画像処理部において連続して画像処理を実行することが可能な画像処理装置を提供することを目的とする。請求項5に係る発明は、画像の全画面に亘って画像処理に必要とするデータを含めたデータを、転送データ量を低減しながら入力させることが可能な画像処理装置を提供することを目的とする。請求項6に係る発明は、処理に必要な周辺データを処理データに加えた一定数の列方向データを基本単位とする画像処理部への入力データを、SDRAM等からなるフレームメモリから容易に得ることができるようにした画像処理装置を提供することを目的とする。請求項7に係る発明は、処理時間を短縮させることができると共に、複数の画像処理部の一部をバイパスさせる場合において各画像処理部における処理すべき基本単位を調整できるようにした画像処理装置を提供することを目的とする。請求項8に係る発明は、画像処理部における処理パラメータの変更に対応して処理すべき基本単位のデータ量を設定できるようにした画像処理装置を提供することを目的とする。

【0007】また、請求項9に係る発明は、画像処理された画像データを圧縮又は記録された圧縮画像データを伸長処理することが可能な画像処理装置を提供することを目的とする。請求項10に係る発明は、最終段の画像処理としてJPEG処理を行うのに好適な画像処理装置を提供することを目的とする。請求項11に係る発明は、画像処理部の最終段に2つの処理モードを有するJPEG処理部を容易に対応させることが可能な画像処理装置を提供することを目的とする。請求項12に係る発明は、最終段にブロック単位で画像処理を行うJPEG処理部を配設した場合においても、前段の画像処理部の画像データを直接印加できるようにした画像処理装置を提供する

ことを目的とする。請求項13に係る発明は、等倍画像記録処理モード、画像サイズ拡大記録処理モード、画像サイズ縮小記録処理モード、非圧縮記録処理モード、JPEG圧縮画像再生処理モード、非圧縮画像再生処理モード、スルー処理モードの各画像処理を容易に選択実行でき、また処理時間を短縮させることの可能な画像処理装置を提供することを目的とする。請求項14に係る発明は、不要な画像処理を行わず電力消費を低減できるようにした携帯型画像処理装置を提供することを目的とする。請求項15に係る発明は、複数の画像処理を効率よくパイプライン処理できるようにした画像処理装置を提供することを目的とする。

【0008】

【課題を解決するための手段】上記問題点を解決するため、請求項1に係る発明は、固体撮像素子から出力されフレームメモリに記録された画像データに対して複数の画像処理部で空間的な画像処理を施して出力させる画像処理装置において、前記複数の画像処理部の少なくとも一つは、当該画像処理部の後段の画像処理部における画像処理に必要な行数分又は列数分のデータに少なくとも当該画像処理部における画像処理に必要な周辺データ分を加えた行数分又は列数分のデータの1列分又は1行分のデータを基本単位として処理を行うように構成されていることを特徴とするものである。

【0009】このように、当該画像処理部の後段の画像処理部における画像処理に必要な行数分又は列数分のデータに、少なくとも当該画像処理部における画像処理に必要な周辺データ分を加えた、行数分又は列数分のデータの1列分又は1行分のデータを、基本単位として処理を行うように構成することにより、行方向あるいは列方向の画像処理に必要とされる加えるべき周辺データ分を必要とせず、したがって転送データ量が低減され、小容量のメモリを介して複数の画像処理部を直結することが可能となる。

【0010】請求項2に係る発明は、請求項1に係る画像処理装置において、前記複数の各画像処理部間に、後段の画像処理部における処理に必要な行数+1行又は列数+1列の前記基本単位に対応するデータ容量をもつメモリを配置していることを特徴とするものであり、また請求項3に係る発明は、請求項1に係る画像処理装置において、前記複数の各画像処理部間に、後段の画像処理部における処理に必要な列数-1列又は行数-1行の前記基本単位に対応するデータ容量をもちデータが順次シフトされるラインメモリと、1列又は1行の前記基本単位に対応するデータ容量のダブルバッファとを有するメモリ部を備えていることを特徴とするものである。このような構成のメモリ部を各画像処理部のインターフェースとして用いることにより、メモリ部を小容量とすることができると共に、該メモリ部への書き込み及び該メモリからの読み出しを連続的に行うことが可能とな

り、各画像処理部間のデータ転送時間を短縮することができると共に、パイプライン実行処理が可能となる。

【0011】請求項4に係る発明は、固体撮像素子から出力されフレームメモリに記録された画像データに対して1つ以上の画像処理部で空間的な画像処理を施して出力させる画像処理装置において、前記画像処理部は、列方向に1列に並んだ一定数分の画像データを入力とし、該画像データが入力されると同時に該画像処理部で処理された列方向に1列に並んだ一定数分の画像データを出力するように構成されていることを特徴とするものである。このように各画像処理部を構成することにより、各画像処理部において連続的に画像処理を実行することができる。

【0012】請求項5に係る発明は、固体撮像素子から出力されフレームメモリに記録された画像データに対して1つ以上の画像処理部で空間的な画像処理を施して出力させる画像処理装置において、前記画像処理部への画像データ入力順を、画像の一方の上端隅部の処理に必要な周辺のデータを処理出力データに加えた一定数の列方向データ位置から入力を開始し、該一定数の列方向データ位置を順次行方向へ移動させて画像の他方の端部位置に達するまで第1の行方向入力を、第2の行方向入力は、第1の行方向入力に前記一つ以上の空間的な画像処理を施して出力されるデータと、該第2の行方向入力に前記一つ以上の空間的な画像処理を施して出力されるデータとが隣接するように前記第1の行方向入力と一部重複させて一定数の列方向データ位置を設定し、該列方向データ位置を同様に順次行方向へ移動させて画像の他方の端部位置に達するまで入力を、以下同様にして第3の行方向入力以降の入力を行うように制御するデータ入力制御手段を備えていることを特徴とするものである。このようなデータ入力制御手段を備えることにより、行方向に加えるべき処理に必要な周辺データ分の転送もそのデータを処理するための1回だけとなり、したがってデータ転送量を低減させることができ、また列方向データは周辺データ分を重複させて入力させるようにしているので、画像の全画面に亘って画像処理に必要なデータを含めた画像データを入力させることができる。

【0013】請求項6に係る発明は、請求項5に係る画像処理装置において、前記フレームメモリと初段の画像処理部との間に、バースト長分×列方向の一定数分の容量をもつ縦横変換メモリを備えていることを特徴とするものである。このような構成の縦横変換メモリを配置することにより、SDRAM等からなるフレームメモリから画像処理部へ所定の基本単位の入力データを効率よく入力させることができる。

【0014】請求項7に係る発明は、請求項1に係る画像処理装置において、複数の空間的な画像処理を行う画像処理部の一部をバイパスさせる手段と、該バイパス

手段により一部の画像処理部をバイパスさせた際、バイパスされた画像処理部において処理に必要とされる該画像処理部の出力データに加えられる周辺データ分を、該バイパスされた画像処理部の前段の画像処理部における処理画像データの基本単位から減じるように基本単位を変更する手段とを備えていることを特徴とするものである。このように一部の画像処理部をバイパスさせる手段を設けることにより処理時間を短縮させることができ、また上記構成の基本単位変更手段を設けることにより、画像処理部のバイパスに対応させて各画像処理部において処理すべき基本単位を設定することができる。

【0015】請求項8に係る発明は、請求項1に係る画像処理装置において、前記画像処理部の処理パラメータを変更する手段と、該処理パラメータ変更手段による画像処理部の処理パラメータの変更に対応して、該画像処理部における処理に必要な周辺データを処理出力データに加えた一定数の列方向データからなる基本単位又は前記処理に必要な周辺データが変更されたとき、その変更分を処理パラメータの変更された画像処理部の前段の画像処理部における基本単位のデータから増減させる手段を備えていることを特徴とするものである。このような構成の基本単位変更手段を設けることにより、画像処理部における処理パラメータの変更に対応して基本単位のデータ量を増減させることが可能となる。

【0016】請求項9に係る発明は、請求項1、4、5のいずれか1項に係る画像処理装置において、前記画像処理部の最終段は、J P E G処理部であることを特徴とするものである。このように画像処理部の最終段にJ P E G処理部を設けることにより、画像処理データを圧縮して記録し又は圧縮記録した画像データを伸長処理することができる。

【0017】請求項10に係る発明は、請求項1、4、5のいずれか1項に係る画像処理装置において、前記画像処理部の最終段の前段の画像処理部の出力は、 $8 \times 8$ の整数倍に設定されたブロック単位で出力されるように構成されていることを特徴とするものである。このように最終段の前段の画像処理部の出力を、 $8 \times 8$ の整数倍に設定されたブロック単位とすることにより、最終段においてJ P E G処理を容易に行わせることができる。

【0018】請求項11に係る発明は、請求項1、4、5のいずれか1項に係る画像処理装置において、前記画像処理部の最終段の前段の画像処理部の出力は、 $8 \times 8$ の整数倍の異なるブロック単位で切り替え、これに伴い前記前段の画像処理部の基本単位も切り替えて出力されるように構成されていることを特徴とするものである。このように最終段の前段の画像処理部を構成することにより、最終段に420モードと422モードの2つの処理モードを有するJ P E G処理部を配設し、容易に切り替え処理することが可能となる。

【0019】請求項12に係る発明は、請求項9～11のい

ずれか1項に係る画像処理装置において、前記画像処理部の最終段とその前段の画像処理部との間に、 $8 \times 8$ 又は $16 \times 16$ のバッファメモリを備え、該バッファメモリは $8 \times 8$ 単位のラスタースキャン方式で読み出されるように構成されていることを特徴とするものである。このように最終段とその前段の画像処理部の間に上記構成のバッファメモリを配設することにより、最終段をJ P E G処理部とした場合においても前段の画像処理部の画像データを直接印加可能となる。

【0020】請求項13に係る発明は、請求項1、4、5のいずれか1項に係る画像処理装置において、前記空間画像処理部として、少なくともY C生成処理部、L P F処理部、拡大縮小処理部、J P E G処理部を備え、画像処理モードとして少なくとも等倍画像記録処理モード、拡大記録処理モード、縮小記録処理モード、非圧縮記録処理モード、圧縮記録画像再生処理モード、非圧縮記録画像再生処理モード、スルー処理モードを選択的に設定する手段と、該画像処理モード設定手段で設定された画像処理モードに応じて処理不要となる所定の画像処理部をバイパスさせる手段とを備えていることを特徴とするものである。このように構成することにより、各種処理モードを設定し、容易に実行することが可能となり、また設定された画像処理モードに応じて画像処理部をバイパスさせる手段を備えることにより、処理時間を短縮させることが可能となる。

【0021】請求項14に係る発明は、複数段の直列に接続された空間的画像処理部と、該空間的画像処理部の一部をバイパスさせるための信号経路切り替え手段と、前記空間的画像処理部を駆動するためのクロックを供給するクロック供給部と、前記信号経路切り替え手段によりバイパスさせられた空間的画像処理部へのクロック供給部からのクロック供給又は電源供給を停止する手段とで携帯型画像処理装置を構成するものである。このようにバイパスさせるための信号経路切り替え手段及びバイパスさせた画像処理部へのクロック供給又は電源供給を停止させる手段を設けることにより、不要な画像処理をバイパスさせて実行せず、且つバイパスさせた画像処理部に駆動クロック又は電源の供給を停止させることができるので、電力消費を低減させることが可能な携帯型画像処理装置を実現することができる。

【0022】請求項15に係る発明は、複数段の直列に接続された空間的画像処理部と、各空間的画像処理部の前段及び後段に設けられたダブルバッファからなるメモリと、空間的画像処理部の前段及び後段のメモリ中のデータの有無により当該空間的画像処理部の処理動作の実行/停止を制御する手段とで画像処理装置を構成するものである。このような画像処理部の処理動作の実行/停止を制御する手段を設けることにより、複数の画像処理を効率よくパイプライン処理で実行することが可能となる。

## 【0023】

【発明の実施の形態】次に実施の形態について説明する。まず、本発明に係る概略的な実施の形態を図1に基づいて説明する。本発明に係る画像処理装置において、バス1に接続された各部の制御を行うCPU2の制御により、CCD撮像素子からの撮像信号をプリプロセス回路3で処理した信号を、バス1を介してフレームメモリ4へ一旦記憶し、次いでフレームメモリ4から読み出した画像データをバス1を介して、イメージプロセス回路部5の初段のイメージプロセス回路5-1に入力し処理

させるまでは、従来の画像処理装置と同じである。本発明に係る画像処理装置においては、初段のイメージプロセス回路5-1からn段目のイメージプロセス回路5-nまで直列に接続しておいて、パイプライン方式で画像処理を行い、JPEG処理部6でJPEG処理を行ったのち、画像データをバス1を介してフレームメモリ4やメモリカード等に記録するようになっている。

【0024】このようにバス1を介したデータ転送量は、フレームメモリ4から初段のイメージプロセス回路5-1への転送と、JPEG処理部6からフレームメモリ4又はメモリカードへの転送だけとなり、したがってフレームメモリと各イメージプロセス回路との間でデータのやりとりを行っていた従来例と比べて、データ転送量はかなり低減させることができる。

【0025】次に、初段のイメージプロセス回路5-1からn段目のイメージプロセス回路5-nで構成されるイメージプロセス回路部5の具体的な構成を、図2に基づいて説明する。各イメージプロセス回路5-1～5-nの前段にはパイプラインレジスタとして、小容量のメモリ7-1、7-2、・・・7-nが配置されていて、該メモリ7-1、7-2、・・・7-nを介して、各イメージプロセス回路5-1～5-nがパイプライン処理動作をして行くように構成されている。これらの小容量のメモリ7-1、7-2、・・・7-nは、各イメージプロセス回路5-1、5-2、・・・5-nで空間的な画像処理を行う場合、画像処理に必要な周辺データの記憶をするために、また画像データをブロック単位で読み出して配列換えなどを行って処理する必要があるために、設けられているものである。そして、所望の画像処理によっては、一部のイメージプロセス回路をバイパスして後段のイメージプロセス回路にデータを入力して処理を行うという考慮もなされている。図2では、2段目のイメージプロセス回路5-2から(n-1)段目のイメージプロセス回路5-(n-1)までバイパスしている例を示している。

【0026】なお、このように処理不要のイメージプロセス回路をバイパスさせるための信号経路の切り替えは、図示しない処理モードの設定手段などの設定に応じてCPUの制御により行われるようにし、また処理不要のイメージプロセス回路をバイパスさせたとき、そのイ

メージプロセス回路への駆動クロックの供給や電源の供給を停止させる手段を設けると、消費電力を低減させることができ、携帯用として好適な画像処理装置が得られる。

【0027】次に、最終段のイメージプロセス回路5-nの後段に配置されているJPEG処理部6における処理単位について、図3に基づいて説明する。図3は一面面の画像データの左上部を切り取って示したものであるが、JPEG処理部ではMCU(Minimum Coded Unit)と呼ばれるブロック単位で圧縮、伸長等の処理が行われる。このMCUの大きさとしては、JPEG処理の場合は通常8×8のブロック、あるいは8の整数倍のブロックが用いられる。そして、各MCUブロックにおいては矢印で示すように水平方向に順次データを読み出してJPEG処理を行うようになっている。このようにJPEG処理部ではブロック単位で処理が行われるので、このような処理に適したデータの流れを形成してやることが望ましい。

【0028】そこで、本発明においては、一旦フレームメモリ4に書き込んだ画像データをイメージプロセス回路部5へ入力するため、図4に示すような読み出し方を行う。すなわち、図4はフレームメモリに記憶されている1画面の画像データを表しているものであるが、本来画像データは行(COL)方向にスイープさせて書き込まれているが、これを列(ROW)方向に、ある一定の長さ(基本単位)11のデータだけを、繰り返し行方向へ読み出して行き、イメージプロセス回路部に画像データを入力する方式をとる。このような読み出し入力方式をとるのは、このような順序で読み出し入力された画像データを処理して行くと、最終段のイメージプロセス回路からMCUブロックに相当する画像データが出てくるように処理することができるからである。

【0029】このように列方向にある一定長さのデータを繰り返し行方向へ読み出して、第1の行方向読み出し入力21を行い、次いで第2の行方向読み出し入力22を行うわけであるが、この際、次に述べるように第1の行方向読み出し入力21で読み出したデータを一部重複して読み出し入力する読み出し方を行う。その重複部分を12で示す。すなわち、イメージプロセス回路で空間的な画像処理を実行して行く場合、入力されたデータと出力されるデータとの間においてデータ数に不一致が生じる。例えば空間的フィルタ処理をする場合、出力したい処理データを得るためには、処理すべきデータの周囲の何点かのデータを用いて算出処理する必要がある、したがって出力データの他に周りの処理計算に要する余分のデータが必要となる。複数段のイメージプロセス処理を行う場合は、上記のような処理が連続的に行われるので、順次処理が行われると段々と入力されたデータより小さな領域のデータが出力されて行くことになる。

【0030】この態様の一例を図5に示す。この図示の

態様は、J P E G処理部への入力ブロックMCUを出力する最終段のイメージプロセス回路による画像処理を含め、3段の各イメージプロセス回路の出力を示す図である。つまり、最終的にJ P E G処理部へのMCUブロックに必要なデータだけ残るように前段の各イメージプロセス回路の入力データ幅を設定してやることになる。なお、図5では、水平方向に4個のMCUブロックを出力している場合の態様を示しており、31はフレームメモリの出力、32-1は初段イメージプロセス回路の出力、32-2は中間イメージプロセス回路の出力、32-3は最終段イメージプロセス回路の出力を示している。

【0031】このようにイメージプロセス回路で空間的な画像処理をする場合、処理上必要とされる周辺データ(のり代)を、出力されるべきデータに加えて入力させる必要があるため、図4に示した第1の行方向の処理データの読み出し入力21後の、次の第2の行方向の読み出し入力22は、処理上必要とされる周辺データ分、すなわち列方向のある一定長さ11のデータのうちの両端の処理上必要とされる出力データに付加されているデータ分を、第1の行方向入力と第2の行方向入力の空間的な画像処理を施して出力されるデータが隣接するように、重複させて読み出す必要がある。なお、行方向における処理上必要とされる周辺データは、各行方向読み出し入力の両端に付加されるだけである。

【0032】次に、実際に図4に示すようなデータ読み出し入力を実現する手法について説明する。図6はフレームメモリのRead/Wright態様を示す図で、フレームメモリへのCCD撮像素子からのデータの書き込み(Wright)は、図6の上部に示すように画像の走査方向に行われる。一方、フレームメモリからの読み出しは、図6の下部に示すような読み出し(Read)方を行う。これはフレームメモリとしてSDRAMを用いた場合を想定しており、SDRAMにおいては特性上高速に読み出すためにバースト転送読み出しを行うようにしている。なお、図6の読み出し(Read)において、矢印の長さはバースト転送読み出しにおけるバースト長さを示している。

【0033】次に、フレームメモリ4から初段のイメージプロセス回路5-1へのデータ転送について図7に基づいて説明する。このデータ転送においては、バースト転送読み出しにより行方向に読み出したデータを縦

(列)方向に並べ替えて、イメージプロセス回路5-1へ入力させる必要がある。そのため、バースト長×基本単位(図4に示した列方向のある一定長さ11のデータ)の容量をもつ2つの小さなメモリa、b(ダブルバッファ)を用意し、フレームメモリ4から読み出したデータをメモリaとメモリbに切り替えて書き込むようにし、一方のメモリaにデータを書き込んでいるときに、他方のメモリbの書き込まれているデータを図示のように列方向に読み出し、初段のイメージプロセス回路5-1へメモリ7-1を介して入力する。次に、フレームメモリ

4から読み出したデータをメモリbに書き込み、その書き込み中にメモリaに書き込まれているデータを列方向に読み出し、初段のイメージプロセス回路5-1へ入力する。以下同様に2つのメモリa、bの切り替え動作を行って、図4に示すような各行方向の処理データのイメージプロセス回路への入力を実現するようにしている。

【0034】次に、最終段のイメージプロセス回路5-nからJ P E G処理部6への入力について説明する。この場合、イメージプロセス回路5-nから出力されるデータをJ P E G処理部6へ入力できるような形式に並び替える、つまりMCUブロックを形成する手段を必要とする。この並べ替え動作は図8に示すように、図7に示した交換メモリと同様に、2つのメモリc及びメモリd(ダブルバッファ)を用い、イメージプロセス回路5-nから出力されたデータをメモリcとメモリdとに切り替えて交互に書き込むようにする。これらのメモリには通常8×8又は16×16構成のものが用いられる。最終段イメージプロセス回路5-nから出力されるデータは列方向の並びとなっているのに対し、J P E G処理部6で必要とする入力データは行方向の並びとなっているため、まず、メモリcでイメージプロセス回路5-nからのデータを書き込んでいるとき、他方のメモリdに書き込まれているデータを図示のように行方向に読み出し、J P E G処理部6へ入力する。次に、イメージプロセス回路5-nから読み出したデータをメモリdに書き込み、メモリcに書き込まれているデータを行方向に読み出し、J P E G処理部6へ入力する。これにより、メモリを8×8単位のラスタースキャン方式で読み出し、MCUブロック状のデータをJ P E G処理部6へ入力することができる。

【0035】次に、各イメージプロセス回路の前段に配置されている小容量のメモリ7-1、7-2、・・・7-nの構成例を、図9に基づいて説明する。この構成例は、イメージプロセス回路で空間的な画像処理を行うのに4×4のデータを必要とする場合のメモリを示している。この構成例のメモリは、4×4のメモリと、該メモリの第2、第3、第4列の列方向配列のメモリに接続されると共に互いに直列に接続された3つのラインメモリLM1、LM2、LM3と、入力端と前記ラインメモリLM1及び第1列の列方向配列のメモリとの間に、切り替え接続されるように配置された2つのバッファメモリBuf1、Buf2(ダブルバッファ)とで構成されており、バッファメモリ及びラインメモリの長さはいずれも前記基本単位の長さと同じく構成されている。

【0036】そして、フレームメモリ4あるいは前段のイメージプロセス回路から出力されるデータを、2つのバッファメモリBuf1、Buf2に交互に切り替えて入力し、書き込み済みのバッファメモリと3列のラインメモリLM1、LM2、LM3を用いて4×4のメモリヘデータを順次転送し、4×4のデータを下方へ順次ずらし



ながら得て、イメージプロセス回路へ入力するようになっている。

【0037】図10の(A)、(B)は、各イメージプロセス回路の前段に配置される小容量メモリの他の構成例を示す図である。この構成例は、当該イメージプロセス回路における画像処理に4×4の画素データを必要とする場合において前段に配置されるメモリの構成を示すもので、4列の独立メモリ部A、B、C、Dとその他に1列の独立メモリ部Eの5列のメモリ部で構成されており、各列の独立メモリ部はそれぞれ、のり代分を含む基本単位分のデータを格納する容量をもっている。

【0038】そして、4列のメモリ部A、B、C、Dに格納されている前段のイメージプロセス回路からの出力データのうち、4×4のデータを上から下へ順次読み出し、当該イメージプロセス回路で画像処理を順次行って出力し、その出力データを後段のメモリへ書き込むようになっている。図10の(B)は、図10の(A)の状態から1クロック後の状態を示しており、4列の読み出しメモリ部A～Dのうちハッチングを施している領域が、4×4単位で読み出される領域を示している。そして、このようにして、4列の読み出しメモリ部A～Dよりデータを読み出して処理を行うと同時に、前段のイメージプロセス回路からの出力データを残りの1列のメモリ部Eに書き込み格納する。

【0039】4列の読み出しメモリ部A～Dからのデータを用いた処理が終了すると、次にメモリ部B～Eに格納されているデータを用いて同様に4×4の処理を順次行う。この際、同様にメモリ部Aに、新たに前段のイメージプロセス回路の次の列の基本単位に対応する出力データを書き込み格納する。このようにして、画像の全領域の処理を基本単位をもとにパイプライン的に実行させることができる。

【0040】次に、この発明に係る画像処理装置において実現する画像処理例について説明する。ここでは、イメージプロセスとしてYC生成処理、LPF処理、Cubic処理(拡大・縮小処理)の3つがある場合について説明する。この3つのイメージプロセスを行うためのイメージプロセス回路、すなわちYC生成回路5a、LPF処理回路5b、Cubic処理回路5cを備えている場合でも種々の処理モードがあるが、図11は縮小記録処理モードのデータの流れを示す図である。この処理モードにおいては、3つのイメージプロセス回路を全て用い、まずCCD撮像素子からの信号に対してYC生成処理を行って、縮小するため高域をカットする必要があるため、LPF処理を行い、その後Cubic処理を行い次いでJPEG処理を行って記録する態様をとる。

【0041】上記縮小記録処理モードの場合は、全てのイメージプロセス回路で処理するようにしているが、等倍記録処理モードでは、図12に示すように、高域をカットするためのLPF処理及びリサイズするためのCubic

処理は不要なので、YC生成回路5aを通したのち、LPF処理回路5b及びCubic処理回路5cをバイパスして直接JPEG処理部6へ入力して処理を行うようにする。この場合、2つの処理が不要となり、その処理に必要なデータが不要になり、YC生成処理に必要なのり代だけとなる。したがって、フレームメモリ4から読み出す際の基本単位の幅を、バイパスする2つの処理に必要なのり代分を差し引いて、つまりのり代を調整して設定し読み出すことになる。この基本単位の幅の制御はCPUにより行われる。

【0042】図13は、拡大記録処理モードにおけるデータの流れを示す図である。拡大記録処理モードの場合には高域を取り除く処理が必要でないため、YC生成処理を行ったのちLPF処理をバイパスさせて直接Cubic処理を行い、JPEG処理を行って記録する。この場合は、LPF処理に必要なのり代分を差し引いてフレームメモリからデータを入力させることになる。こののり代の制御もCPUにより行われる。

【0043】図14は、ビデオアウト、LCD表示、非圧縮記録処理モードにおけるデータの流れを示す図である。この処理モードは、全てのイメージプロセス回路を用いているので、フレームメモリからの入力時におけるのり代分の調整は必要ないが、JPEG処理部6を通さず、すなわち圧縮させないで記録するモードである。なお、この処理モードにおいて、処理画像を記録せずに、ビデオアウト及びLCD表示としてのみ用いることができ、この場合はスルー処理モードとなる。

【0044】その他の処理としては、図15に示すJPEG画像再生処理モードがある。この処理モードは、圧縮処理されて記録されているデータを再生するモードで、まず記録されているデータはJPEG処理部6で伸長処理されてLPF処理回路5bへ入力され、LPF処理されたのちCubic処理を受けて出力されるようになっている。また図16は非圧縮画像を再生処理するモードにおけるデータの流れを示す図であり、このモードにおいては、非圧縮記録画像データはLPF処理を受けたのちCubic処理を受けて出力されるようになっている。

【0045】なお、上記各イメージプロセス回路において、処理パラメータを適宜入力手段等により変更することができるように構成することができ、そして処理パラメータが変更された場合は、その変更に対応してCPUの制御により基本単位の長さあるいはのり代分が適宜調整されるように構成する。

【0046】次に、小容量のメモリを介してパイプライン接続されているイメージプロセス回路の実行/停止制御について、図17に基づいて説明する。図17の(A)は、3つのイメージプロセス回路5-1、5-2、5-3が小容量メモリ7-1、7-2、7-3を介して直列にパイプライン接続されている状態を示している。な

お、図17の(A)において、Buf1a, Buf1b, … Buf3a, Buf3b, は各小容量メモリ7-1, 7-2, 7-3における入力段に設けられている切り替え接続されるダブルバッファを示している。図17の(B)は、イメージプロセス回路5-2の実行/停止制御を中心にして説明するため、図17の(A)に示した各イメージプロセス回路5-1, 5-2, 5-3及び小容量メモリ7-2, 7-3における各ダブルバッファBuf2a, Buf2b, Buf3a, Buf3bの動作態様を示すタイミングチャートである。

【0047】各イメージプロセス回路は、前段に配置されている小容量メモリと後段に配置されている小容量メモリの状態をみて、当該イメージプロセス回路が動作を実行するか否かを決定するようになっている。具体的には、前段の小容量メモリのダブルバッファのいずれかに実行できるデータがあるか否かを確認して、更に後段の小容量メモリのダブルバッファのいずれかにデータを書き込めるスペースがあるか否かを確認して、処理動作を実行するか否かを判断する。

【0048】例えば、中間のイメージプロセス回路5-2において、最初の期間T<sub>1</sub>において処理動作が実行されているものとし、実行し終わった後T<sub>2</sub>において判断が行われる。この判断の際、前段のメモリ7-2のバッファBuf2a, Buf2bにおけるデータの有無が検出される。期間T<sub>1</sub>においてイメージプロセス回路5-1では処理が実行されているので、メモリ7-2のバッファBuf2a, Buf2bには何らかのデータが書き込まれており、したがって期間T<sub>2</sub>においてイメージプロセス回路5-2が処理を実行するためのデータは存在していることになる。また、イメージプロセス回路5-3は期間T<sub>1</sub>において処理が実行されているので、データが消費されており、メモリ7-3のバッファBuf3a, Buf3bには空きがあることが検出される。この2つの情報から当該イメージプロセス回路5-2は、期間T<sub>2</sub>で処理が実行できるものと判断し、処理の実行を行う。なお、図17の(B)で示している各処理ステップにおける実行の長さは、基本単位の長さ(のり代を含めた列方向の長さ)に対応するものであり、Dはバッファに利用可能データあり、NDはバッファに利用可能データなし、Eはバッファに空きあり、Fはバッファに空きなしの状態をそれぞれ示している。

【0049】次に、期間T<sub>2</sub>においてイメージプロセス回路5-2において処理が実行されたときに、第3のイメージプロセス回路5-3が何らかの理由で処理の実行ができなかったとすると、メモリ7-3のバッファBuf3a, Buf3bには新たなデータを書き込むスペースがないことになる。この際、イメージプロセス回路5-1では処理が実行されているとすると、書き込むべきデータは存在するが、後段に書き込むスペースがない状態である。したがって、期間T<sub>2</sub>における判断においては、第

2のイメージプロセス回路5-2の処理の実行は停止の判断が行われ、期間T<sub>2</sub>におけるイメージプロセス回路5-2の処理を停止する。以下同様に当該イメージプロセス回路の前後のメモリの状態の情報から判断を行い、画像処理の実行/停止の制御を行いながら、パイプライン処理が行われる。

【0050】なお、上記実施の形態では各イメージプロセス回路における画像処理に必要な周辺データ分を加えた基本単位として、所定の長さの1列分のデータを設定したものを示したが、基本単位としては所定の長さの1行分のデータを設定して処理することも可能である。

【0051】

【発明の効果】以上実施の形態に基づいて説明したように、本発明によれば、バスのデータ転送量を低減すると共にメモリ容量を増やすことなく複数の画像処理を行うことができる画像処理装置を実現することができる。請求項毎の効果と述べると、請求項1に係る発明によれば、データ転送量を低減し小容量メモリを介して複数の画像処理部を直結することが可能な画像処理装置を実現することができる。請求項2及び請求項3に係る発明によれば、複数の画像処理部間を小容量メモリを介して接続することができると共に各画像処理部間のデータ転送時間を短縮することができ、且つパイプライン実行処理が可能となる。請求項4に係る発明によれば、複数の画像処理部において連続して画像処理を実行することが可能な画像処理装置を実現することができる。請求項5に係る発明によれば、画像の全画面に亘って画像処理に必要なデータを含めたデータを、転送データ量を低減しながら入力させることが可能な画像処理装置を実現することができる。請求項6に係る発明によれば、処理に必要な周辺データを処理データに加えた一定数の列方向データを基本単位とする画像処理部への入力データを、SDRAM等からなるフレームメモリから容易に効率よく得ることができる。請求項7に係る発明によれば、一部の画像処理部をバイパスさせる手段を設けているので、処理時間を短縮させることができ、また一定数の列方向データからなる基本単位を変更する手段を設けているので、画像処理部のバイパスに対応させて各画像処理部において処理すべき基本単位を設定することができる。請求項8に係る発明によれば、画像処理部における処理パラメータの変更に対応して処理すべき基本単位のデータ量を増減設定することができる。

【0052】また請求項9に係る発明によれば、画像処理データを圧縮して記録し、圧縮記録した画像データを伸長処理することが可能となる。請求項10に係る発明によれば、最終段の画像処理としてJPEG処理を行うのに好適な画像処理装置を提供することができる。請求項11に係る発明によれば、画像処理部の最終段に2つの処理モードを有するJPEG処理部を容易に対応させることが可能な画像処理装置を提供することができる。請求

項12に係る発明によれば、最終段にブロック単位で画像処理を行うJPEG処理部を配設した場合においても、前段の画像処理部の画像データを直接印加することが可能となる。請求項13に係る発明によれば、等倍画像記録処理モード、画像サイズ拡大記録処理モード、画像サイズ縮小記録処理モード、スルー処理モード、非圧縮記録処理モード、JPEG圧縮画像再生処理モード、非圧縮画像再生処理モードの各画像処理を容易に選択的に実行することができる。請求項14に係る発明によれば、不要な画像処理は行わず且つ電力消費を低減できるようにした携帯型画像処理装置を実現することができる。請求項15に係る発明によれば、複数の画像処理を効率よくパイプライン処理できるようにした画像処理装置を実現することができる。

【図面の簡単な説明】

【図1】本発明に係る画像処理装置の実施の形態の概略構成を示すブロック構成図である。

【図2】図1におけるイメージプロセス回路部の具体的な構成を示すブロック構成図である。

【図3】JPEG処理部における処理単位を説明するための説明図である。

【図4】フレームメモリからイメージプロセス回路部への画像データの読み出し入力態様を説明するための説明図である。

【図5】複数段のイメージプロセス処理を行う場合における、各イメージプロセス回路部への入力画像データの態様を示す図である。

【図6】フレームメモリのRead/Wright態様を示す図である。

【図7】フレームメモリから初段のイメージプロセス回路部へのデータ転送態様を示す図である。

【図8】最終段のイメージプロセス回路部からJPEG処理部へのデータ入力態様を示す図である。

【図9】各イメージプロセス回路の前段に配置されている小容量メモリの構成例を示す図である。

【図10】小容量メモリの他の構成例を示す図である。 \*

\*【図11】縮小記録処理モード時における画像データの流れを示す図である。

【図12】等倍記録処理モード時における画像データの流れを示す図である。

【図13】拡大記録処理モード時における画像データの流れを示す図である。

【図14】ビデオアウト、LCD表示、非圧縮記録処理モード時における画像データの流れを示す図である。

【図15】JPEG画像再生処理モード時における画像データの流れを示す図である。

【図16】非圧縮画像再生処理モード時における画像データの流れを示す図である。

【図17】イメージプロセス回路の実行/停止制御を説明するための説明図である。

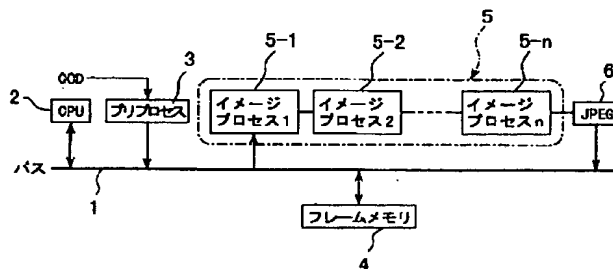
【図18】一般的な電子的撮像装置における画像処理手順を示す説明図である。

【図19】従来の画像処理装置を示す概略ブロック構成図である。

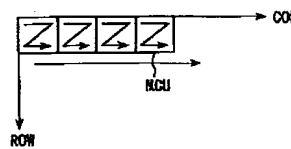
【符号の説明】

- 1 バス
- 2 CPU
- 3 プリプロセス回路
- 4 フレームメモリ
- 5 イメージプロセス回路部
- 5-1, ... 5-n イメージプロセス回路
- 6 JPEG処理部
- 7-1, ... 7-n メモリ
- 11 基本単位
- 12 重複部分(のり代)
- 21 第1の行方向読み出し入力
- 22 第2の行方向読み出し入力
- 31 フレームメモリの出力
- 32-1 初段イメージプロセス回路の出力
- 32-2 中間イメージプロセス回路の出力
- 32-3 最終段イメージプロセス回路の出力

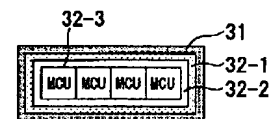
【図1】



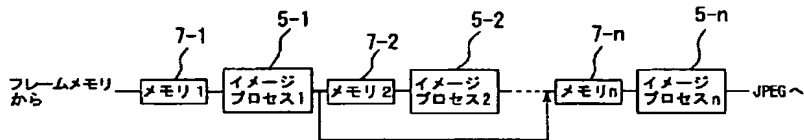
【図3】



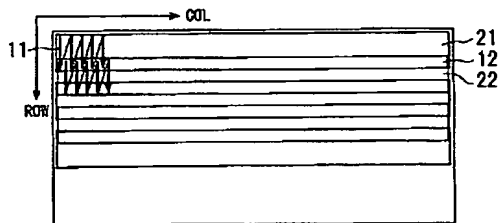
【図5】



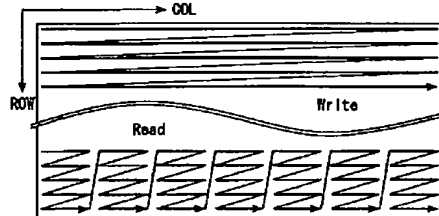
【図2】



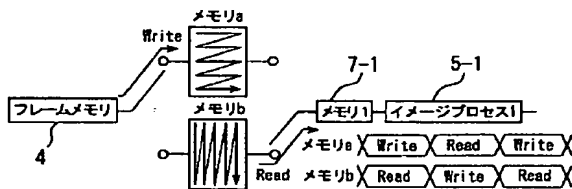
【図4】



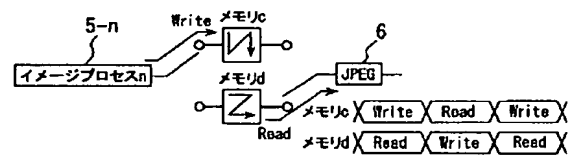
【図6】



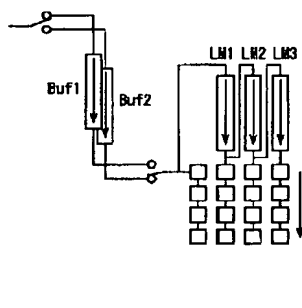
【図7】



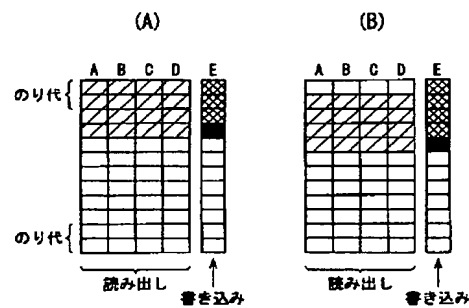
【図8】



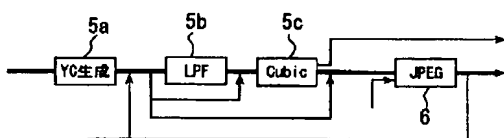
【図9】



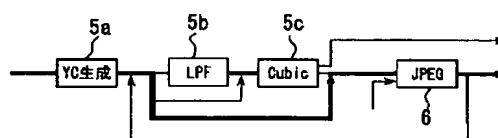
【図10】



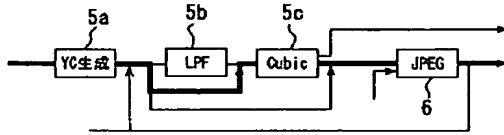
【図11】



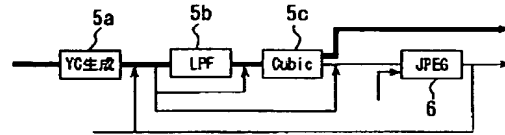
【図12】



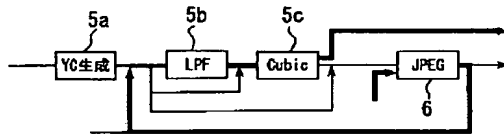
【図13】



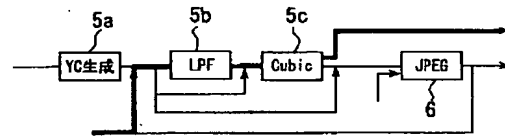
【図14】



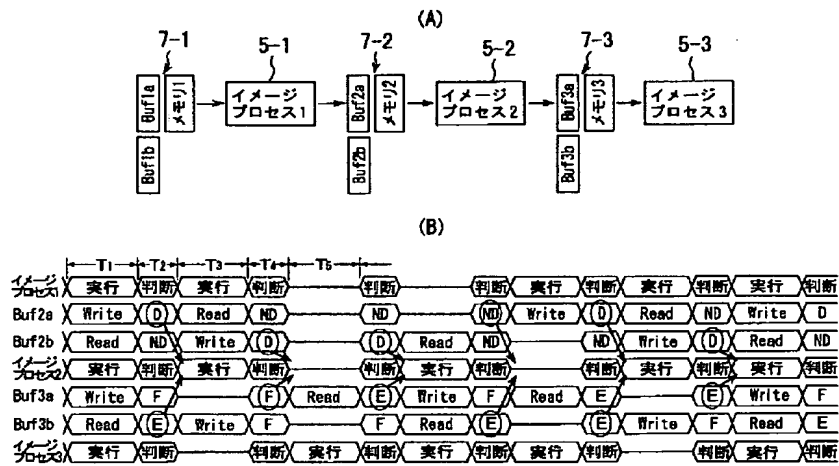
【図15】



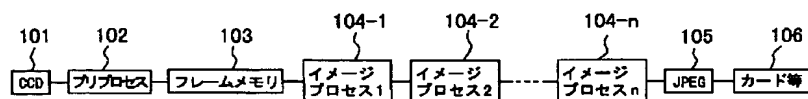
【図16】



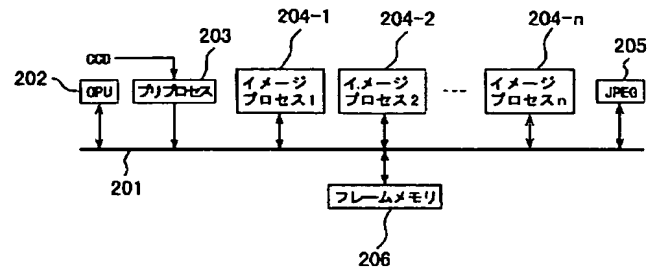
【図17】



【図18】



【図19】



---

フロントページの続き

F ターム(参考) 5C022 AA13 AB40 AB64 AC00 AC42  
AC69  
5C052 CC11 DD02 GA02 GA07 GB01  
GB06 GC00 GC03 GC05 GD10  
GE02 GE04 GF02 GF03